

===== WPI =====

TI - Detection of frequency, phase and amplitude modulated signals - uses an analog-digital converter and binary memory

AB - FR2221861 The system demodulates frequency, phase and amplitude modulated signals. The input is sampled at a rate compatible with information content, converted to digital form and is stored cyclically in an addressable memory. This is swept at a suitable rate and compared with the original input and is processed to produce the carrier-free output signal, by a restitution cct. The appts. makes use of an overall automatic gain control. The addressable memry is of known binary type from which the data may be read at frequency intervals.

PN - FR2221861 A 19741115 DW197502 000pp

PR - FR19720046910 19721229

PA - (EUTE-N) CIE EUROPE TELETRANSMISS

DC - U21 U22 U23 W01

IC - H03D5/00 ;H03K13/00 ;H04L27/00

AN - 1975-A3539W [02]

===== DESCRIPTION =====

La présente invention concerne un démodulateur de signaux analogiques modulés par des signaux digitaux, adaptable à plusieurs types de modulations.

Dans les récepteurs de télécommunication, les démodulateurs les plus couramment employés sont destinés à démoduler des signaux transmis en modulation d'amplitude, de fréquence ou de phase. Ces ddmodulateurs sont, de manière générale, constitués de circuits spécifiques à chaque type de démodulation, L'objet de la présente invention est un démodulateur permettant d'effectuer des démodulations d'amplitude, et/ou de fréquence, et/ou de phase, à partir dtun ensemble de circuits communs à CffS trois démodulations et de circuits de sortie plus spécialement affectés à l'une ou l'autre de ces démodulations, Selon l'invention un démodulateur de signaux analogiques modulés par des signaux digitaux, comportant un amplificateur d'entrée à commande automatique de gain, est caractérisé en ce qu'il comporte un convertisseur analogique-digital pour le codage des signaux de sortie dudit amplifieateur, ce codage étant effectué à la période T1 ; une mémoire dans laquelle sont emmagasinés, sous forme digitale, des signaux représentatifs d'échantillons d'une période d'un signal sinusoïdal ; un comparateur comparant les signaux de sortie dudit convertisseur et de ladite-mémoire et un circuit d'analyse commandé par les signaux de sortie dudit comparateur et commandant le gain dudit amplificateur, le balayage de ladite mémoire et la restitution des signaux modulant lesdits signaux analogiques.

linvention sera mieux comprise et d'autres caractéristiques apparaîtront à l'aide de la description ci-après et des dessins sty rapportant sur lesquels

- la figure 1 est le schéma d'un démodulateur d'amplitude selon l'invention ;
- la figure 2 est le schéma d'une première variante de démodulateur de fréquence selon l'invention
- la figure 3 est le schéma d'une seconde variante de démodulateur de fréquence selon l'invention
- la figure 4 est le schéma d'un démodulateur de phase selon l'invention.

La figure 1 représente un démodulateur selon l'invention, un cadre C en traits mixtes entoure ce qui dans la suite du texte sera appelé ll organe de base du démodulateur. A cet organe de base sont connectés deux circuits spécifiques d'une démodulation d'amplitude. Comme il sera vu à l'aide des figures 2, 3 et 4 il est possible de connecter à ll organe de base des circuits permettant d'effectuer des démodulations de fréquence et de phase.

Be démodulateur de la figure I comporte une entrée de signal E qui est l'entrée d'un amplificateur, I, à commande automatique de gain. Cet amplificateur est suivi, en série, d'un convertisseur analogique-digital 2, d'un circuit de transfert, 3, composé de portes, et d'un registre 4. 'tes sorties du registre 4 aboutissent à l'un des deux groupes d'entrées d'un comparateur, 5, constitué par un soustracteur à deux sorties indiquées + et - . A l'autre groupe d'entrées du comparateur 5 aboutissent les sorties d'une mémoire morte 6 dont les entrées d'adresse sont connectée aux sorties d'un compteur d'adresse.

Bes sorties + et - du comparateur 5 sont respectivement reliées d'une part aux premières entrées de deux portes 20 et 21 et d'autre part aux secondes entrées de deux portes 24 et 25 ces secondes entrées étant des entrées avec inversion. Bes sorties des portes 20 et 21 sont respectivement réunies aux entrées de mise à 1 de deux basculeurs 22, 23. Les sorties directes des basculeurs 22, 23 sont d'une part réunies respectivement aux premières entrées des portes 24 et 25, et d'autre part réunies aux deux autres entrées d'un circuit OU 26 dont la sortie est reliée à la seconde entrée d'une porte 30 ; la sortie de la porte 30 est connectée à l'entrée du compteur d'adresse 9 et constitue par ailleurs une sortie 0 de l'organe de base du démodulateur. Bes sorties des portes 24 et 25 sont réunies par un circuit OU 27 à l'entrée d'un élément de retard 28, de temps de retard r_3 , et à l'entrée de remise à zéro d'un basculeur d'initialisation 32 ; la sortie de l'élément de retard 28 est réunie aux entrées de remise à zéro des basculeurs 22, 23. La sortie directe du basculeur d'initialisation 32 est réunie aux deuxième entrées des portes 20 et 21, et - ces portes ont leurs troisième entrées respectivement connectées aux sorties inverses des basculeurs 23 et 22.

Une porte 10, dont les entrées sont également réunies aux sorties du compteur d'adresse 9 pour décoder le passage de ce dernier par sa valeur maximum, a sa sortie réunie aux secondes entrées de deux portes ET, 11, 12, dont les premières entrées sont réunies respectivement aux sorties + et - du comparateur 5 et dont les sorties sont connectées aux entrées + et - d'un circuit intégrateur 13.

La sortie du circuit intégrateur 13 est connectée, par l'intermédiaire d'un circuit de détection 14, à l'entrée de commande de l'amplificateur 1 ; cette sortie constitue de plus une sortie s2 de l'organe de base du démodulateur et, à ce titre, est réunie à l'entrée d'un circuit échantillonneur ; un circuit de restitution de base de temps t_4 , est connecté entre la sortie s2 et l'entrée de commande du circuit échantillonneur.

La sortie de ce démodulateur est la sortie du circuit échantillonneur 40.

Une base de temps, 15, munie d'un oscillateur pilote, fournit les différents signaux rythmés nécessaires au fonctionnement du démodulateur. Elle est en particulier destinée à fournir des impulsions brèves de période T_0 sur la première entrée de la porte 30 et des impulsions brèves de période T_2 sur l'entrée de commande du circuit de restitution de base de temps 41. Elle est également destinée à fournir des impulsions brèves de période T_1 à l'entrée de commande du convertisseur 2, à l'entrée de mise à 1 du basculeur 32 par l'intermédiaire d'un élément de retard 31 de temps de retard r_4 et à l'entrée de commande du circuit de transfert 3 par l'intermédiaire d'un élément de retard, 7, de temps de retard r_1 la sortie de l'élément de retard 7 étant réunie par un autre élément de retard, 8, de temps de retard r_2 , à une entrée de commande de comparaison du comparateur 5.

Le démodulateur ainsi décrit fonctionne comme indiqué ci-après.

La mémoire morte 6 qui, dans l'exemple décrit, est une mémoire morte du type matriciel, est programmée pour fournir sous forme digitale les valeurs de $\sin kQ$, avec k entier 360 variant de 0 à 255 et $Q = 256$, au moyen de nombres binaires de 12 bits au maximum, le nombre de bits pris en compte dépendant de la définition du signal modulé.

Le convertisseur 2 transforme, à la fréquence h , les T_j signaux analogiques reçus sur l'entrée E et amplifiés par l'amplificateur 1, en signaux codés, caractérisant l'amplitude de chaque échantillon. L'échantillonnage se fait à une fréquence suffisante pour la reconstitution du signal analogique en fonction des fréquences susceptibles d'être reçues, ceci donnant, par exemple, une dizaine d'échantillonnages par cycle pour la fréquence moyenne de réception. Chacun de ces signaux, après transfert par le circuit de transfert 3 dans le registre tampon 4, est comparé dans le comparateur 5, avec les signaux sortant de la mémoire 6 comme il sera indiqué ci-après.

Bes entrées du comparateur 5 correspondant aux sorties du registre 4 sont des entrées de basculeurs de type D ; ces basculeurs de type D ont les sorties réunies à un des deux groupes d'entrées du comparateur proprement dit, ont

leur entrée de commande connectée à la sortie de l'élément de retard 8.

Les retards r et r_2 introduits par les éléments de retard 7 et 8 sont destinés à n'autoriser une opération dans un circuit que lorsque celle à effectuer au préalable dans un circuit précédent est effectivement terminée, ces retards sont très faibles devant la période T_q .

Si l'on prend pour instant initial t_{instant} où un signal analogique est codé par le convertisseur 2, le comparateur 5 pourra, pendant le laps de temps allant de $r_1 + r_2$ à $1 + r + r_2$ effectuer une comparaison entre le signal digital résultant de ce signal analogique et les signaux successivement fournis par la mémoire 6 pendant le même laps de temps. Ce laps de temps de durée T_1 sera appelé cycle de comparaison dans la suite de la description.

Comme il sera vu ci-après, d'une part l'amplificateur à gain variable est commandé pour fournir une tension de valeur efficace constante quelle que soit la tension d'entrée compatible avec ses caractéristiques; d'autre part, pendant un laps de temps tel que celui compris entre les instants $r_1 + r_2$ et $T_1 + r_1 + r_2$, la mémoire 6 est commandée de manière à pouvoir éventuellement fournir deux fois de suite les 256 signaux quelle contiens.

Selon que la valeur représentée par le signal à analyser transmis par le registre 4 au comparateur 5 est supérieure, inférieure ou égale à celle du signal fourni par la mémoire 6 le comparateur fournit un niveau 1 sur sa sortie +, fournit un niveau 1 sur sa sortie - ou fournit un niveau 0 sur ses deux sorties.

Si un niveau 1 apparaît sur la sortie + à l'instant $r_1 + r_2$ suivant l'instant de codage d'un signal analogique, le basculeur 32 passe à 1 à l'instant r_4 ainsi que le basculeur 22 car d'une part les basculeurs 22, 23 et 32 sont à zéro en début de cycle comme le montrera la suite de cette description et d'autre part le temps r_4 de l'élément de retard 31 est pris légèrement supérieur à $r_1 + r_2$ le circuit OU 26 fournit alors un signal autorisant l'envoi des brèves impulsions de période

T_0 par la porte 30 pour faire avancer le compteur d'adresse 9 et effectuer une exploration du contenu de la mémoire 6. Dans

T_1 l'exemple décrit $T_0 \# 512$.

Quand, du fait de l'exploration de la mémoire 6, la sortie + du compteur passe à zéro, la porte 24 qui reçoit un niveau 1 sur son entrée directe et un niveau 0 sur son entrée avec inversion envoie, à travers le circuit OU 27, un signal de remise à zéro des basculeurs 32 et 22, 23. La remise à zéro du basculeur 32 intervient directement sous l'action du circuit OU 27,

La remise à zéro des basculeurs 22, 23 intervient, du fait de l'élément de retard 28, un temps r_3 après la remise à zéro du basculeur 32, ce temps de retard est destiné à assurer la mise à zéro définitive des basculeurs 22, 23 pour la suite du cycle de comparaison en cours.

Si à l'instant $r_1 + r_2$ un niveau 1 apparaît sur la sortie du comparateur 5, un processus semblable d'exploration du contenu de la mémoire 6 se déclenche grâce au basculeur 23 qui passe à 1 pour autoriser l'exploration du contenu de la mémoire 6.

Dans le cas où, à l'instant $r_1 + r_2$, les deux sorties du comparateur 5 seraient à zéro, les basculeurs 22 et 23 n'étant pas mis à 1, il n'y aurait pas d'envoi d'impulsions de période T_0 pour effectuer une exploration du contenu de la mémoire 6.

La porte 10 est connectée en sortie du compteur d'adresse 9 de telle manière qu'elle donne un signal de sortie uniquement lorsque le compteur passe par la valeur correspondant à la valeur maximum contenue dans la mémoire 6. Ainsi le circuit intégrateur 13 effectue une intégration sur les signaux de sortie du comparateur 5 au moment où la mémoire 6 fournit sa valeur maximum. Après détection de sa valeur moyenne par le circuit de détection 14, le signal de sortie du circuit intégrateur permet ainsi une commande de l'amplificateur 1 telle que ce dernier fournisse une tension de sortie de valeur moyenne efficace constante.

La figure 1 montre comment peut être effectuée la démodulation d'amplitude dans un démodulateur selon l'invention.

lie circuit échantillonneur 40 et le circuit de restitution de base de temps 41 sont alimentés par les signaux de sortie du circuit intégrateur 13. Ce circuit 41 est un circuit analogue à celui utilisé dans un démodulateur d'amplitude classique pour reconstituer une série d'impulsions à la fréquence de récurrence de l'information reçue et ayant une phase telle qu'elle permettent un échantillonnage en milieu de bits ; le circuit de restitution de base de temps 41 reçoit pour cela, outre le signal 92 de sortie de l'intégrateur 13, les brèves impulsions à la période T_2 s fournies par la base de temps 15, figure 1, ces dernières impulsions étant à une fréquence multiple de celle des impulsions de période T . Le signal de données peut ainsi être régénéré par le circuit échantillonneur 40 qui effectue un échantillonnage du signal s_2 avec les impulsions du circuit de restitution de base de temps 41.

Dans une autre variante, moins perfectionnée, les circuits 40 et 41 sont remplacés par un circuit à seuils alimenté par les signaux de sortie du circuit intégrateur ; le nombre et les amplitudes respectives des seuils sont définis en fonction des taux de modulation caractéristiques du signal à démoduler.

La figure 2 représente dans une première variante, un démodulateur de fréquence selon l'invention, pour la démodulation d'un signal à deux fréquences de modulation.

Un compteur binaire 50 reçoit sur son entrée de signal les impulsions d'analyse de la sortie s_1 de l'organe de base, C du démodulateur ; ce compteur est remis à zéro par les impulsions brèves de période T_1 venant également de l'organe de base du démodulateur. Le compteur binaire 50 compte donc le nombre d'impulsions d'analyse arrivant pendant un temps T_t . Le contenu de ce compteur est introduit dans un ensemble de registres à décalage, 51, également commandé par les impulsions de période T . Le nombre d'étages de cet ensemble 51 est tel qu'il contient les nombres relatifs à tous les échantillons - nages reçus pendant la durée T précédant l'obtention du dernier échantillon, T étant le temps élémentaire de modulation.

Le contenu du registre à décalage 51 est, tous les T_1 , sommé dans un circuit de sommation 52 comportant un convertisseur digital-analogique de sortie. Le signal résultant permet, grâce à un circuit à seuil 53, de restituer directement le signal de données sous forme asynchrone. Le signal de sortie du circuit à seuil 53 peut servir à restituer le signal de données sous forme synchrone, pour cela il suffit de connecter en sortie de ce circuit 53 un échantillonneur, 54, associé à un circuit de restitution de base de temps, 55 ; ces deux derniers circuits, semblables respectivement aux circuits 40, 41, représentés en figure 1, sont branchés de la même manière et le circuit de restitution de base de temps 55 reçoit, outre le signal de sortie du circuit à seuil 53, les brèves impulsions à la période T_2 provenant de la base de temps 15 figure 1.

La figure 3 représente, dans une seconde variante, un démodulateur de fréquence selon l'invention pour la démodulation d'un signal à deux fréquences de modulation.

Comme dans la première variante les impulsions d'analyse sont comptées dans un compteur 60 identique au compteur 50 de la figure 2 et également remis à zéro par les brèves impulsions de période T_1 fournies par la base de temps 15, figure 1.

Le passage par une valeur prédéterminée du compte du compteur 60 est caractéristique de la fréquence supérieure de modulation. Ce passage est observé au moyen d'une porte 61 convenablement branchée aux sorties directes ou complémentaires des différents étages du compteur 60. Le signal de sortie de la porte 61 est appliqué comme signal de mise à 1 d'un basculeur 62 dont la sortie directe, par l'intermédiaire d'une porte 64, et la sortie inverse, par l'intermédiaire d'une porte 65, commandent respectivement la mise à 1 et la remise à zéro d'un basculeur de sortie 66 donnant sous forme asynchrone le signal démodulé. Les portes 64 et 65 reçoivent également les brèves impulsions de période T_1 pour n'autoriser le changement d'état du basculeur 66 qu'au moment de ces brèves impulsions ; quant au basculeur 62, il est remis à zéro par les brèves impulsions de période T_1 retardées d'une durée r_5 faible devant U_1 grâce à un élément de retard 63.

Ce démodulateur ne peut autre employé qu'avec un bon rapport signal sur bruit, si ce n'est pas le cas, le démodulateur de la figure 2 doit lui être substitué.

Il est à remarquer que le démodulateur de la figure 3 est destiné à effectuer la démodulation d'un signal modulé comportant deux fréquences différentes.

Ce démodulateur s'adapte aisément à un nombre plus élevé de fréquences de modulation. Par exemple, dans le cas de quatre fréquences de modulation, trois décodeurs constitués par trois portes semblables à la porte 61 décodent le passage de nombres N_1 , N_2 , N_3 , correspondant aux fréquences supérieures. Les sorties de ces portes sont reliées par un circuit OU à un compteur modulo 4, correspondant au basculeur 62, remis à zéro par les brèves impulsions retardées. Le contenu de ce compteur modulo 4 est transféré avec une période de récurrence $T_1/2$ dans un registre tampon servant d'élément de sortie; à ce registre tampon correspondent les éléments 64, 65, 66 de la figure 3 dans le cas de deux fréquences de modulation.

La figure 4 représente un démodulateur de phase selon l'invention, dans le cas d'une modulation à quatre phases.

Ce modulateur de phase comporte deux parties, l'une destinée à restituer la base de temps, l'autre destinée à la démodulation proprement dite.

La restitution de la base de temps fonctionne sur un principe identique à celui de la démodulation de fréquence décrite en deuxième variante à l'aide de la figure 3. Par rapport aux circuits 60 à 66 de la figure 3, les circuits correspondants de la figure 4, également connectés à la sortie S_j de l'organe de base C du démodulateur, portent des repères augmentés de dix. Un circuit de restitution de base de temps 77, reçoit les impulsions fournies par le basculeur 76 ainsi que les brèves impulsions à la période T_2 fournies par la base de temps 15, figure 1. Ce circuit de restitution de la base de temps comporte deux sorties; il fournit de manière classique sur sa première sortie des impulsions représentatives des temps élémentaires, et sur sa seconde sortie des impulsions à une fréquence double de celle des précédentes,

La démodulation proprement dite comporte (m) compteur 81 ayant une capacité suffisante pour compter les impulsions qu'il reçoit, pendant chaque temps élémentaire, de la sortie s_1 de l'organe de base C du démodulateur. A chaque temps élémentaire correspond donc un cycle de comptage; ce cycle est arrêté à la fin du temps élémentaire grâce à un signal obtenu en retardant d'un temps r_7 , par un élément de retard 80, l'impulsion fournie par la première sortie du circuit de restitution de base de temps 77. Le contenu du compteur 81 est décodé dans un circuit de décodage, 82, réalisant une restitution des données sous forme parallèle. Le circuit de décodage 82 comporte trois décodeurs d'entrée décodant le passage du compte du compteur 81 par les valeurs correspondant aux déphasages de 90°, 180° et 270°. Les sorties de ces décodeurs sont reliées par un circuit OU à un compteur modulo 4, remis à zéro par les impulsions de la première sortie du circuit de restitution de base de temps 77. Les deux sorties du compteur modulo 4 constituent les sorties du circuit de décodage 82.

Un registre tampon, 83, commandé par les impulsions de la seconde sortie du circuit de restitution de base de temps T_7 et recevant les signaux de sortie du circuit de décodage 82 permet de restituer le signal de données sous forme synchrone.

Il va de soi que l'invention couvre également tout démodulateur polyvalent capable d'effectuer au moins deux démodulations sur les principes des démodulations décrites dans les exemples ci-avant.

===== CLAIMS =====

REVENDECATIONS

1. Démodulateur de signaux analogiques modulés par des signaux digitaux, comportant un amplificateur d'entrée à commande automatique de gain, caractérisé

en ce qu'il comporte un convertisseur analogique-digital pour le codage des signaux de sortie dudit amplificateur, ce codage étant effectué à la période T_t ; une mémoire dans laquelle sont emmagasinés, sous forme digitale, des signaux représentatifs d'échantillons d'une période d'un signal sinusoidal ; un comparateur comparant les signaux de sortie dudit convertisseur et de ladite mémoire et un circuit d'analyse commandé par les signaux de sortie dudit comparateur et commandant le gain dudit amplificateur, le balayage de ladite mémoire et la restitution des signaux modulant lesdits signaux analogiques.

2. Démodulateur selon la revendication 1, caractérisé en ce que ledit circuit d'analyse comporte un compteur d'adresse commandant le balayage de ladite mémoire, et des moyens d'avance dudit compteur en fonction des signaux de sortie dudit comparateur.

3. Démodulateur selon la revendication 2, caractérisé en ce que ledit circuit d'analyse comporte un circuit intégrateur recevant les signaux de sortie dudit comparateur au moment du passage dudit compteur d'adresse par une valeur prédéterminée et en ce que la sortie dudit circuit intégrateur est couplée à l'entrée de commande de gain dudit amplificateur.

4. Démodulateur selon la revendication 2, caractérisé en ce que lesdits moyens d'avance comportent une porte de sortie recevant des impulsions récurrentes, et un circuit de commande d'ouverture de ladite porte lui-même commandé par ledit comparateur.

5. Démodulateur selon la revendication 4, caractérisé en ce que, pour effectuer ladite restitution des signaux dans le cas d'une modulation d'amplitude, il comporte un circuit écreteur auquel sont appliqués les signaux de sortie dudit circuit intégrateur.

6. Démodul- > teur selon la revendication 4, caractérisé en ce que, pour effectuer ladite restitution des signaux dans le cas d'une modulation d'amplitude, il comporte, en association, un circuit d'échantillonnage et un circuit de restitution de base de temps auxquels sont appliqués les signaux de sortie dudit circuit intégrateur.

7. Démodulateur selon la revendication 4, caractérisé en ce que, pour effectuer ladite restitution des signaux dans le cas d'une modulation de fréquence, ladite période T_1 étant prise

T égale à où T est le temps élémentaire de modulation et k un nombre entier supérieur à 1, il comporte : un compteur auquel sont appliquées les impulsions de sortie de ladite porte, ledit compteur effectuant un comptage de ces impulsions pendant chacune desdites périodes T_1 ; un dispositif de sommation effectuant avec une période de récurrence T_t la sommation des valeurs fournies par ledit compteur pendant ledit temps T ; un convertisseur digital-analogique transformant en signaux analogiques les signaux de sortie dudit dispositif de sommation ; un écreteur recevant les signaux de sortie dudit convertisseur et effectuant ladite restitution des signaux sous forme asynchrone.

8. Démodulateur selon la revendication 7, caractérisé en ce que, pour effectuer ladite restitution des signaux sous forme synchrone, il comporte, en association, un circuit d'échantillonnage et un circuit de restitution de base de temps auxquels sont appliqués les signaux de sortie dudit écreteur.

9. Demodilatzur selon la revendication 4, caractérisé en ce que, pour effectuer ladite restitution des signaux dans le cas d'une modulation de fréquence, il comporte : un compteur comptant les impulsions de sortie de ladite porte pendant chacune desdites périodes T_1 ; un dispositif de décodage fournissant une impulsion lors du passage du compte dudit compteur par n valeurs prédéterminées (n étant égal au nombre de fréquences de modulation) ; un compteur modulo n effectuant le compte des impulsions de sortie dudit dispositif de modulation, et un registre tampon de sortie.

10. Démodulateur selon la revendication 4, caractérisé en ce que, pour effectuer ladite restitution des signaux dans le cas d'une modulation de phase, il comporte : un premier compteur comptant les impulsions de sortie de ladite porte pendant chacune desdites périodes T_1 ; un dispositif de décodage fournissant une impulsion lors du passage du compte dudit compteur par une

valeur prédéterminée ; un circuit de restitution de base de temps recevant les impulsions de sortie dudit dispositif de décodage ; un second compteur comptant les impulsions de sortie de ladite porte ; un circuit de décodage, pour la restitution des données sous forme parallèle , recevant les signaux de sortie dudit second compteur, et un registre tampon de sortie recevant les signaux de sortie dudit circuit de décodage, lesdits second compteur, circuit de décodage et registre tampon étant commandés au rythme des signaux de sortie dudit circuit de restitution de base de temps.

11. Récepteur caractérisé en ce qu'il comporte un démodulateur selon l'une des revendications précédentes.

Pl. I-4

2221861

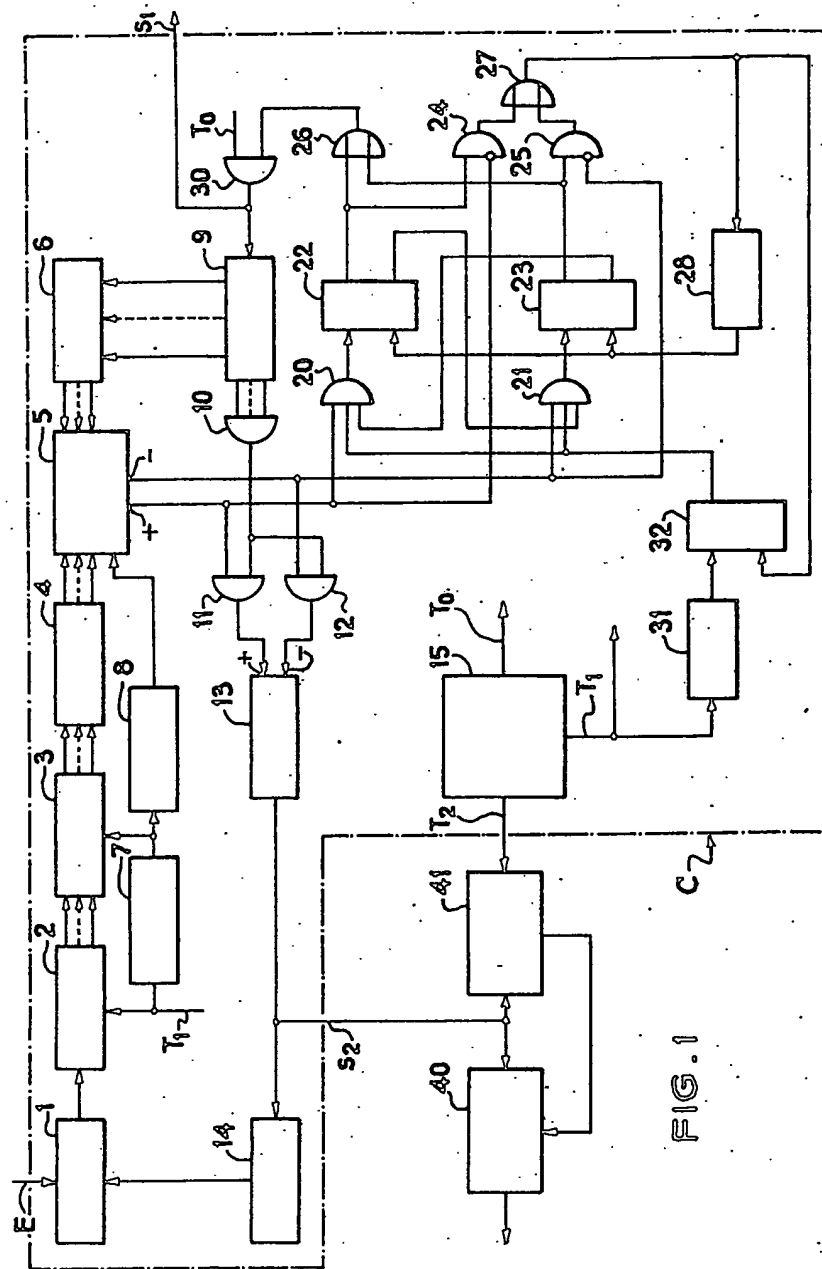


FIG. 1

Pl. II - 4

2221861

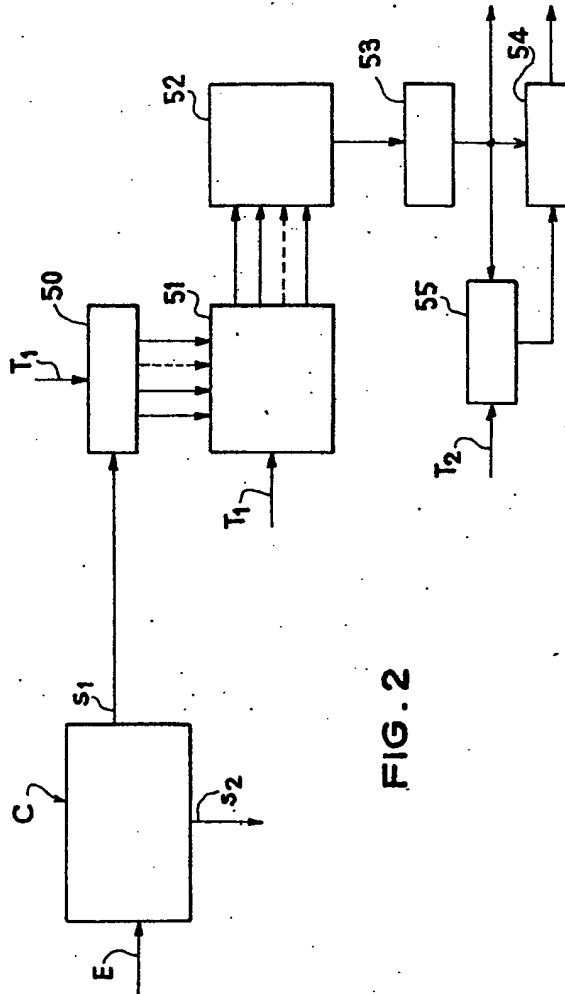
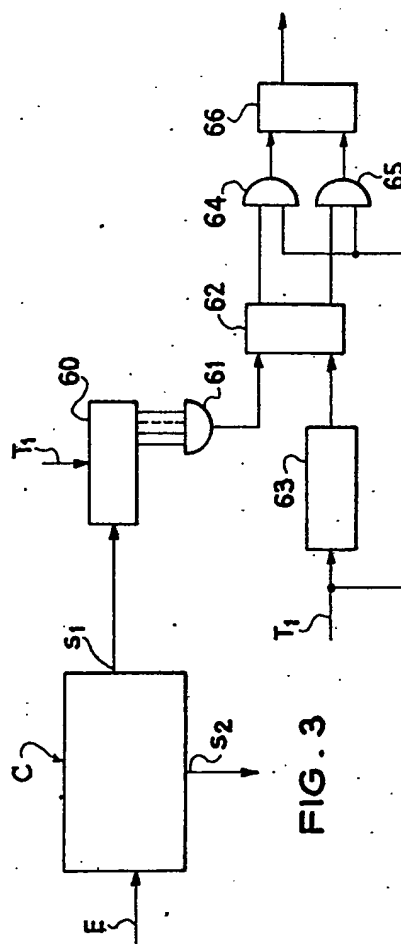


FIG. 2

Pl.III - 4

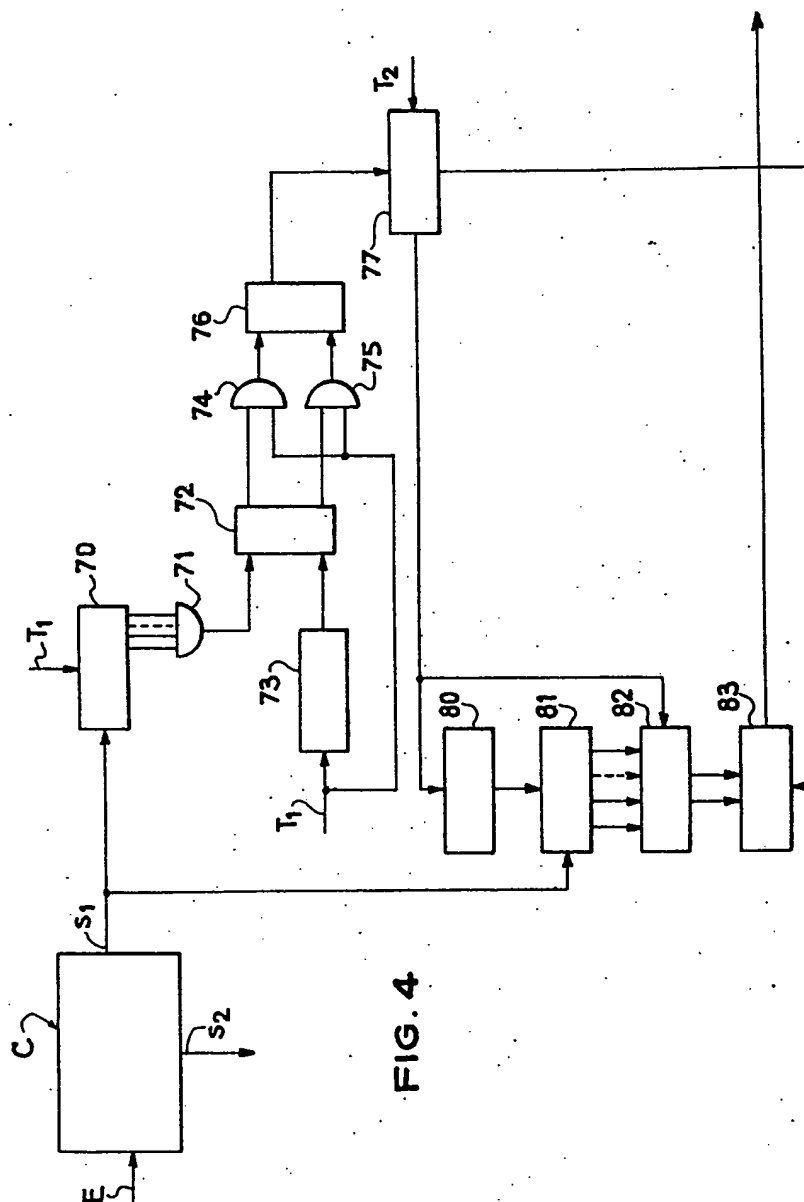
2221861



<Drawing, page 3/4>

Pl. IV - 4

2221861



<Drawing, page 4/4>